

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-252869
 (43)Date of publication of application : 14.09.2000

(51)Int.Cl. H04B 1/707
 H04B 7/216
 H04L 7/00

(21)Application number : 11-053038
 (22)Date of filing : 01.03.1999

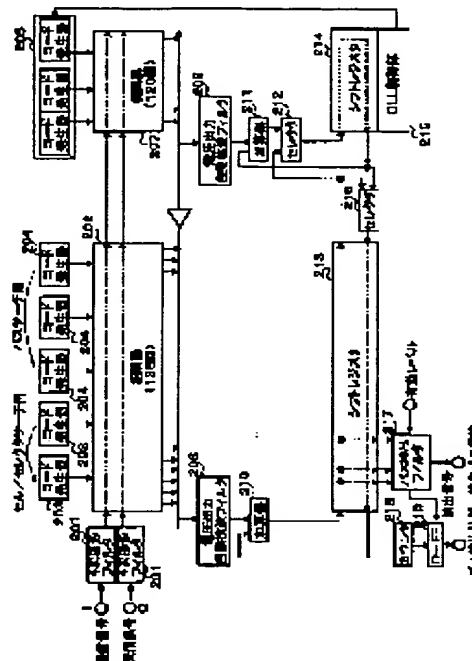
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (72)Inventor : IGAI KAZUNORI

(54) SYNCHRONIZATION CAPTURE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption of a synchronization capture device by decreasing a processing time and decreasing its circuit scale.

SOLUTION: A received signal receives prescribed radio reception processing via an antenna, and the resulting signal is received from two terminals as common-mode I component and orthogonal Q component baseband signals respectively. The baseband signals are pre-processed by 4-degree comb-like filters 201 and processed in parallel at 256 sets of correlators 202, 207, by using codes generated by code generators 203, 204, 206. The outputs of the correlators are given to shift registers 213, 214 of one symbol time length via voltage output square detection filters 108, 109 and adders 210, 211, while being selected sequentially by a signal at 16.384 MHz and summed with synchronization. Thus, a delay profile can be generated.



LEGAL STATUS

[Date of request for examination] 07.03.2000
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

This Page Blank (uspto)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-252869

(P2000-252869A)

(43)公開日 平成12年9月14日(2000.9.14)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 4 B	1/707	H 0 4 J 13/00	D 5 K 0 2 2
	7/216	H 0 4 L 7/00	C 5 K 0 4 7
H 0 4 L	7/00	H 0 4 B 7/15	D 5 K 0 7 2

審査請求 有 請求項の数10 O L (全 12 頁)

(21)出願番号 特願平11-53038

(22)出願日 平成11年3月1日(1999.3.1)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 猪飼 和則

神奈川県横浜市港北区綱島東四丁目3番1

号 松下通信工業株式会社内

(74)代理人 100105050

弁理士 鷲田 公一

Fターム(参考) 5K022 EE02 EE33 EE36

5K047 AA16 BB01 GG34 HH15 MM33

5K072 AA19 BB02 BB13 CC20 EE23

FF09

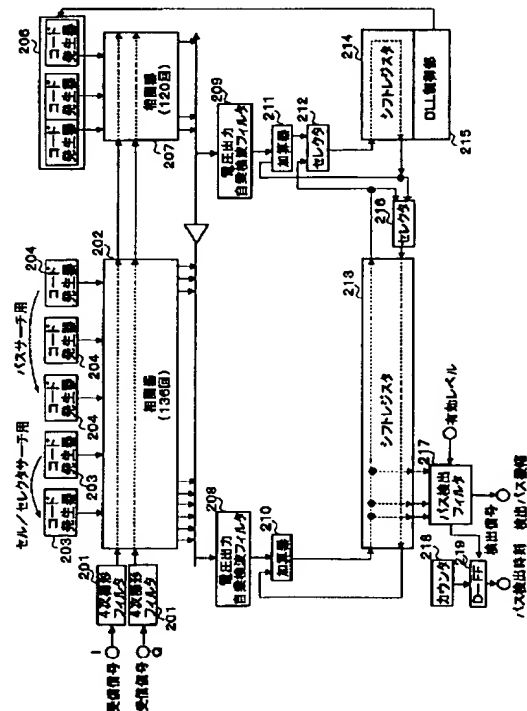
(54)【発明の名称】 同期捕捉装置

(57)【要約】

【課題】 処理時間を短くし、回路規模を小さくして消費電力を低くすることができること。

【解決手段】 受信信号は、アンテナを介して所定の無線受信処理が施された後に、2つの端子から各々同相

(I)成分、直交(Q)成分のベースバンド信号として入力される。これらのベースバンド信号は、それぞれ4次楕円フィルタ201で前処理された後、コード発生器203、204、206で発生したコードを用いて、256個の相関器202、207で並列に処理される。これらの相関器の出力は、16.384MHzで逐次選択されながら、電圧出力自乗検波フィルタ208、209及び加算器210、211を介して1シンボル時間長分のシフトレジスタ213、214に入力され、同期加算される。これにより、遅延プロファイルを作成できる。



【特許請求の範囲】

【請求項1】 受信信号から抽出したベースバンド信号に対して並列処理可能な複数の相関器を用いてマッチトフィルタ演算を行なう相関処理手段と、前記マッチトフィルタ演算の相関結果を自乗検波して得られた包絡線検波結果から同期情報を検出する同期情報検出手段と、を具備することを特徴とする同期捕捉装置。

【請求項2】 前記同期情報検出手段は、前記包絡線検波結果から直接電圧値を求める電圧出力算出手段を具備することを特徴とする請求項1記載の同期捕捉装置。

【請求項3】 受信信号に含まれるロングコードマスクシンボルを用いてスロットタイミングを検出するスロットタイミング検出手段と、検出されたスロットタイミングのみに於いて、前記受信信号とこの受信信号に乗算されたサーチコードとの間の相関処理を複数の相関器を用いて行なって遅延プロファイルを作成する遅延プロファイル作成手段と、前記遅延プロファイルに基づいて前記ロングコードを同定するロングコード同定手段と、を具備し、スロットタイミング検出、遅延プロファイル作成、及びロングコード同定を行なう際に、前記複数の相関器を共用して用いることを特徴とする同期捕捉装置。

【請求項4】 前記遅延プロファイル作成手段は、受信信号を受信するブランチ毎の遅延プロファイルを作成することを特徴とする請求項3記載の同期捕捉装置。

【請求項5】 前記ロングコード同定手段は、前記遅延プロファイルを用いて、受信信号の複数のパスのレベルを測定するレベル測定手段を具備することを特徴とする請求項4記載の同期捕捉装置。

【請求項6】 受信信号に含まれる所望波のパスについて遅延プロファイルを作成する遅延プロファイル作成手段と、前記遅延プロファイルの変動を追跡すると共に、所望波のパスの候補となるパスの遅延プロファイルの作成を、複数の相関器を用いて並行して行なわせる制御手段と、を具備することを特徴とする同期捕捉装置。

【請求項7】 請求項1から請求項6のいずれかに記載の同期捕捉装置を備えたことを特徴とする通信端末装置。

【請求項8】 請求項7記載の通信端末装置と無線通信を行なうことを特徴とする基地局装置。

【請求項9】 受信信号に含まれるロングコードマスクシンボルを用いてスロットタイミングを検出するスロットタイミング検出工程と、検出されたスロットタイミングのみに於いて、前記受信信号とこの受信信号に乗算されたサーチコードとの間の相関処理を複数の相関器を用いて行なって遅延プロファイルを作成する遅延プロファイル作成工程と、前記遅延プロファイルに基づいて前記ロングコードを同定するロングコード同定工程と、を具備し、スロットタイミング検出、遅延プロファイル作成、及びロングコード同定を行なう際に、前記複数の相関器を共用して用いることを特徴とする同期捕捉方法。

【請求項10】 受信信号に含まれる所望波のパスについて遅延プロファイルを作成する遅延プロファイル作成工程と、前記遅延プロファイルの変動を追跡すると共に、所望波のパスの候補となるパスの遅延プロファイルの作成を、複数の相関器を用いて並行して行なわせる制御工程と、を具備することを特徴とする同期捕捉方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CDMA方式の無線通信システムにおいて使用される無線通信装置に備えられる同期捕捉装置に関する。

【0002】

【従来の技術】次世代移動通信方式に用いる多元接続方式としてCDMA (Code Division Multiple Access) が開発されている。このCDMAセルラシステムにおいては、移動局が電源をオンした時の初期同期確立作業や移動に伴うセル切替え（ハンドオーバー）などにセルサーチを行なう必要がある。

【0003】このセルサーチは、第1検出工程～第3検出工程を含んでおり、この第1検出工程には、第1段階から第3段階までの処理が含まれている。これらの検出工程での処理について説明する。

【0004】第1検出工程における第1段階の処理では、共通サーチコードを係数に持つ複素マッチトフィルタにより制御チャネルである止まり木チャネルを連続的に受信し、ロングコードマスクシンボルを受信して第1段階の遅延プロファイルを得る。ただし、安定した遅延プロファイルを得るために、1スロット時間長のメモリを用いてフィルタ出力を同期加算する。

【0005】第1検出工程における第2段階処理では、第1段階の処理で得られた遅延プロファイルの最大パスのタイミングで、例えば4種類のグループショートコードを同時に発生させ、このグループショートコードと制御チャネル信号との間で相関処理を行なう。この処理は専用の相関器を用いて約10msで実行し、その最大出力から最大パスの属するグループショートコードを特定する。これにより、下り回線に使用されるロングコードを128種類から32種類に絞り込む。

【0006】第1検出工程における第3段階の処理では、まずスロットの第1シンボルの受信データをRAMに蓄え、第1段階で用いた共通ショートコードと第2段階で特定した最大パスに対するグループショートコードに対応するロングコードとからなるコードを係数に持つ複素マッチトフィルタにて、受信データに対して相関処理を行なう。この相関処理は、ロングコード32種類全てについて順次行なう。さらに、スロットタイミングをずらしながら上記処理を繰り返して第3段階の遅延プロファイルを得る。この遅延プロファイルを用いて、ロングコードとそのフレームタイミングを決定する。

【0007】第2検出工程では、最大パスをコードリス

トに登録した後、第1段階の遅延プロファイルにおいて次にレベルの大きいパスに注目する。このとき、第3段階の遅延プロファイルに含まれているパスは除去する。次にレベルの大きいパスについて、第1検出工程の第2、第3段階の処理を行って、そのパスに関するロングコードとタイミング及び遅延プロファイルを得る。以下、同様にして最大20波の有効制御チャネルをコードリストに登録する。

【0008】第3検出工程及びパスサーチでは、3シンボル時間の受信データをRAMに蓄え、周辺セクタやダイバシチハンドオーバブランチのショートコード及びロングコードからなるコードを係数に持つ複素マッチトフィルタにて、受信データに対して相関処理を行なう。このとき、相関値を同期加算して遅延プロファイルを作成する。なお、3ダイバシチハンドオーバ通信時にセルサーチとパスサーチを同時に行う場合には、2つの受信信号を考慮し10種の遅延プロファイルを作成する。なお、これらの遅延プロファイル作成には、RAMに蓄積した受信データを繰り返し使用して複素マッチドフィルタ演算を実行する。

【0009】上記のようにして、無線通信システムにおいてセルサーチやパスサーチが行われる。

【0010】

【発明が解決しようとする課題】上記方式において、第1検出工程の第1、第3段階及びパスサーチの処理には、基本的に同時に1種類のコードの処理しかできない複素マッチトフィルタを用いている。しかしながら、この複素マッチドフィルタは、多くの種類のロングコードとの相関を調べてロングコード同定する必要がある基地局非同期システムの同期処理には必ずしも適当でない。実際、以下のような問題点を有すると考えられる。

【0011】(1) 処理時間の増大

複素マッチトフィルタは、比較的大規模な回路のため、装置の小型化のためには多数備えることが困難である。したがって、これらを用いた演算は必然的にシーケンシャルに実行しなければならない。このため、必然的に演算時間が増大する。このことは、多数の制御チャネルの遅延プロファイルを作成する同期保持処理などで著しくなる。

【0012】(2) 回路規模の増大

複素マッチトフィルタを用いた処理の多くは、シーケンシャルに実行しなければならないため、ある時刻における複数の遅延プロファイルと比較することが求められる第3検出工程や同期保持では、受信信号を蓄積するメモリが必要になる。

【0013】(3) 消費電力の増大

処理時間及び回路規模の増大は、必然的に消費電力を増加させる。特に、逐次コードを変えながら遅延プロファイルを作成する第3検出工程や同期保持では、コードを変える度にメモリからマッチドフィルタに大量のフィル

タ係数（ショートコードとロングコードによる）と受信データを転送するために、ピーク電流が著しく大きくなる。

【0014】本発明はかかる点に鑑みてなされたものであり、処理時間を短くし、回路規模を小さくして消費電力を低くすることができる同期捕捉装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明の骨子は、基地局間非同期システムにおける通信端末装置の同期部構成において、複数の相関器を並列処理させて、ロングコード同定などの演算時間を短縮して低消費電力化を図ることである。

【0016】

【発明の実施の形態】本発明の第1の態様に係る同期捕捉装置は、受信信号から抽出したベースバンド信号に対して並列処理可能な複数の相関器を用いてマッチトフィルタ演算を行なう相関処理手段と、前記マッチトフィルタ演算の相関結果を自乗検波して得られた包絡線検波結果から同期情報を検出する同期情報検出手段と、を具備する構成を採る。

【0017】この構成によれば、セルサーチやパスサーチにおける種々の処理を並列して実行することができる。このため、処理時間を短くし、回路規模を小さくして消費電力を低くすることができる。

【0018】本発明の第2の態様に係る同期捕捉装置は、第1の態様において、同期情報検出手段が、包絡線検波結果から電圧値を求める電圧出力算出手段を具備する構成を採る。

【0019】この構成によれば、入力から出力まで電圧値で演算を実行して、自乗検波の不要スペクトル抑圧を行なうフィルタリング及び平方根演算を同時に行なうので、著しい演算語長の増加を伴わずに検波結果が得られる。

【0020】本発明の第3の態様に係る同期捕捉装置は、受信信号に含まれるロングコードマスクシンボルを用いてスロットタイミングを検出するスロットタイミング検出手段と、検出されたスロットタイミングのみにおいて、前記受信信号とこの受信信号に乗算されたサーチコードとの間の相関処理を複数の相関器を用いて行なって遅延プロファイルを作成する遅延プロファイル作成手段と、前記遅延プロファイルに基づいて前記ロングコードを同定するロングコード同定手段と、を具備し、スロットタイミング検出、遅延プロファイル作成、及びロングコード同定を行なう際に、前記複数の相関器を共用して用いる構成を採る。

【0021】この構成によれば、シーケンシャルな処理であるマッチトフィルタではなく、並列処理が可能である複数の相関器で相関処理部を構成し、この相関器を共用して用いているので、セルサーチやパスサーチにおけ

る種々の処理を並列して実行することができる。このため、処理時間を短くし、回路規模を小さくして消費電力を低くすることができる。

【0022】本発明の第4の態様に係る同期捕捉装置は、第3の態様において、前記遅延プロファイル作成手段が、受信信号を受信するブランチ毎の遅延プロファイルを作成する構成を採る。

【0023】本発明の第5の態様に係る同期捕捉装置は、第4の態様において、前記ロングコード同定手段が、前記遅延プロファイルを用いて、受信信号の複数のパスのレベルを測定するレベル測定手段を具備する構成を採る。

【0024】これらの構成によれば、所望波として可能性のあるパスのレベル測定に遅延プロファイルを使用することができるので、所望波として可能性のあるパス毎に遅延プロファイルを作成する必要がなくなり、セルサーチにおける処理量を削減することができる。

【0025】本発明の第6の態様に係る同期捕捉装置は、受信信号に含まれる所望波のパスについて遅延プロファイルを作成する遅延プロファイル作成手段と、前記遅延プロファイルの変動を追跡すると共に、所望波のパスの候補となるパスの遅延プロファイルの作成を、複数の相関器を用いて並行して行なわせる制御手段と、を具備する構成を採る。

【0026】この構成においては、相関処理部を複数の相関器で構成した場合、遅延プロファイルの変動の追跡と、所望波のパスの候補となるパスの遅延プロファイルの作成を並行して行なうことができ、セルサーチにおける処理時間を短縮させることができる。

【0027】本発明の第7の態様に係る通信端末装置は、第1から第6のいずれかの態様の同期捕捉装置を備えたことを特徴とする。本発明の第8の態様に係る基地局装置は、第7の態様の通信端末装置と無線通信を行なうことを特徴とする。これらの構成によれば、特に通信端末装置においては、処理時間を短くし、回路規模を小さくして消費電力を低くすることができる。

【0028】本発明の第9の態様に係る同期捕捉方法は、受信信号に含まれるロングコードマスキングシンボルを用いてスロットタイミングを検出するスロットタイミング検出工程と、検出されたスロットタイミングのみににおいて、前記受信信号とこの受信信号に乗算されたサーチコードとの間の相関処理を複数の相関器を用いて行なって遅延プロファイルを作成する遅延プロファイル作成工程と、前記遅延プロファイルに基づいて前記ロングコードを同定するロングコード同定工程と、を具備し、スロットタイミング検出、遅延プロファイル作成、及びロングコード同定を行なう際に、前記複数の相関器を共用して用いる。

【0029】この方法によれば、相関器を共用して用いて、セルサーチやパスサーチにおける種々の処理を並列

して実行することができる。このため、処理時間を短くし、回路規模を小さくして消費電力を低くすることができる。

【0030】本発明の第10の態様に係る同期捕捉方法は、受信信号に含まれる所望波のパスについて遅延プロファイルを作成する遅延プロファイル作成工程と、前記遅延プロファイルの変動を追跡すると共に、所望波のパスの候補となるパスの遅延プロファイルの作成を、複数の相関器を用いて並行して行なわせる制御工程と、を具備する。

【0031】この方法においては、相関処理部を複数の相関器で構成した場合、遅延プロファイルの変動の追跡と、所望波のパスの候補となるパスの遅延プロファイルの作成を並行して行なうことができ、セルサーチにおける処理時間を短縮させることができる。

【0032】以下、本発明の実施の形態について、添付図面を参照して詳細に説明する。図1は、本発明の実施の形態に係る同期捕捉装置を備えた無線通信システムの概略構成を示すブロック図である。基地局側において、制御部101は、送信データの誤り訂正符号化処理や誤り訂正復号化処理を行なうように、誤り訂正符号・復号部102に対して制御を行なう。誤り訂正符号化処理された信号は、送信部103で通常の無線送信処理がなされて、アンテナ105から送信される。また、アンテナ105を介して受信された信号は受信部104に送られ、通常の無線受信処理がなされた後に、誤り訂正符号・復号部102に送られて誤り訂正復号がなされる。

【0033】本発明に係る同期捕捉装置を備えた端末側においては、アンテナ106から受信された信号は、変復調処理部107及び同期処理部109に送られ、それぞれ復調処理及び同期処理が行なわれる。すなわち、同期処理部109で同期捕捉及び同期保持が行われつつ、変復調処理部107及び誤り訂正・音声コーデック部108で信号が音声化され、マイク・スピーカ111から出力される。また、音声を送信する場合には、マイク・スピーカ111から入力された音声信号が誤り訂正・音声コーデック部108で音声符号化され、変復調処理部107で変調された後にアンテナ106から送信される。なお、変復調処理部107、誤り訂正・音声コーデック部108、及び同期処理部109は、制御部110でそれぞれの処理が制御される。

【0034】この同期処理部109は、図2に示す構成を有する。図2は、本実施の形態に係る同期捕捉装置の構成を示すブロック図である。ここでは、16ksp/sシンボルを4.096Mcpsで256倍拡散した制御チャネル信号を16.384MHzでオーバーサンプリングして受信する場合について説明する。

【0035】同図において、受信信号は、アンテナを介して所定の無線受信処理が施された後に、2つの端子から各々同相(I)成分、直交(Q)成分のベースバンド

信号として入力される。これらのベースバンド信号は、それぞれ4次櫛形フィルタ201で前処理された後、コード発生器203、204、206で発生したコードを用いて、256個の相関器202、207で並列に処理される。

【0036】なお、相関処理手段としてマッチトフィルタを用いる場合では、4倍オーバーサンプリングのマッチトフィルタ（0次ホールドタイプ）は、4次櫛形フィルタ201で前処理することにより、加算器数を1/4に削減することができる。これは、相関処理部に相関器を用いた場合も同様である。したがって、本実施の形態においても、4次櫛形フィルタ201で前処理することにより、加算器数を1/4に削減することができる。

【0037】セルサーチの第1検出工程における第1段階の処理は、各相関器群202、207で用いられるコードをコード発生器で発生させ、このコードについて1サンプルずつ遅らせて動作させることにより行なう。この処理は、マッチドフィルタと等価な処理である。これらの相関器の出力は、16.384MHzで逐次選択されながら、電圧出力自乗検波フィルタ208、209及び加算器210、211を介して1シンボル時間長分のシフトレジスタ213、214に入力され、同期加算される。これにより、遅延プロファイルを作成できる。なお、この処理に関しては、受信信号I及びQの各々の入力に対して順次行なう。なお、電圧出力自乗検波フィルタ108、109は、検波方式に包絡線検波アルゴリズムを導入した際に必要となり、高調波歪みを抑圧する。

【0038】シフトレジスタ213からの出力は、パス検出フィルタ217に送られ、パス検出フィルタ217では、相関器出力又はその平均結果であるシフトレジスタ213の内容からパス候補としての極値を抽出し、パスの振幅と時刻のみをDSPソフトに送信する。カウンタ218は、シフトレジスタ長さだけ計測するタイマーであり、DFF219は、パス検出フィルタ217でパス検出された旨の検出信号とカウンタ出力とを用いるフリップフロップである。

【0039】なお、セレクトア212は、加算器211からの出力とシフトレジスタ213からの出力との間の選択（切り替え）を行ない、セレクトア216は、シフトレジスタ213からの出力とシフトレジスタ214からの出力との間の選択（切り替え）を行なう。

【0040】また、第1検出工程における第2段階の処理においては、120個の相関器を有する相関器群207のうちの32個のみを用いて、4種類のグループショートコードについて受信信号I及びQとの間の相関を同時に調べる。同様に、第1検出工程における第3段階の処理においては、120個の相関器を有する相関器群207に加えてコード発生器を伴う8個（2コード分）の相関器を用いて32コードについて受信信号I及びQとの間の相関を同時に調べる。

【0041】第3検出工程及びパスサーチにおいては、120個の相関器を有する相関器群207の60個の相関器を用いて最大で30パス（例えば、セルサーチ2波、パスサーチ3DHOブランチで計5基地局×6パス＝30パス）についてDLLを構成して、レイリーフエージングなどで生ずる各パスの微少な遅延変動に追従させる。一方、他の相関器は、5基地局からの10種類の遅延プロファイル（受信信号I、Qがあるため）を部分分割しながら並行して同時に作成する。このように相関手段としてマッチトフィルタではなく、相関器を用いているので、パス追跡とパス検出とを並行して処理することができる。その結果、獲得したパスの追跡を行ないながらより良いパスの検出を行なうことができる。

【0042】上記構成を有する同期捕捉装置をより詳細に説明する。本実施の形態に係る同期捕捉装置では、上述したように、マッチドフィルタではなく、相関器を用いて相関処理を行なう。例えば、1024タップのマッチトフィルタは、タイミングをずらして動作する1024個の相関器と等価である。この構成は、相関器の出力を順次切り替えていくセレクトアを設けることにより実現可能である。このとき、制御パルスをシフトさせながら1出力のみを有効にすれば良い。回路の増加はないとすると、フィルタも相関器も加算器数とメモリ数も同じなので回路規模は同等であると考えられる。

【0043】実際のCDMA無線通信システムにおいて使用されるデータ変調では、QPSKを使用することが多いので、入力信号や逆拡散コード共に2系列となり、複素相関器が必要になる。この複素相関器としては、包絡線検波処理を行なう相関器を用いる。この場合に使用される同期捕捉装置の構成の一部を図3に示す。なお、包絡線検波については、本発明者の先願である特開平9-307825号公報に開示してある。この内容もここに含めておく。

【0044】図3に示す同期捕捉装置は、基本的には図2に示す同期捕捉装置と同じであり、図3に示す同期捕捉装置では、図2に示す相関器出力用のパスの代わりにセレクトアを用いている。すなわち、この同期捕捉装置は、相関器301と、相関器301に inputsするコードを発生するコード発生器302と、コード発生器302で発生したコードを相関器301にタイミングをずらしながら入力するための遅延器303と、相関器301からの出力を切り替えるセレクトア304と、セレクトア304を介して出力された信号を自乗検波する自乗回路305と、自乗検波した後の信号から不要な信号を除去するLPF306と、自乗検波して得られた電力値を電圧値に変換する平方根演算回路307と、平方根演算回路307で得られた複数サンプル分の電圧値を平均化する平均化回路308とを有する。

【0045】相関器301は、上述したように複素相関器であるので、Q成分とI成分でそれぞれ加減算器とレ

ジスタ（2系列）が必要になる。本実施の形態では、図4に示すような相関器構成にすることにより、すなわち、2つの加減算器401、402と、1つのEXOR回路403と、4つの遅延器404とにより構成することにより、通常の複素相関器で必要なレジスタを1系列とすることができ、回路構成を簡略化することができる。なお、図4に示す構成は、複素相関器として動作することを確認するための構成であり、X、Y、Cx、Cyは論理演算を行なうために用いられる。図4に示す論理表から分かるように、図4に示す構成の相関器は、複素相関器として動作する。また、図中405は、1、-1を交互に乗算する乗算器を示す。

【0046】また、平均化回路308では、例えば16kHz周期で出力される自乗検波出力を平均化して変動分を除去して遅延プロファイルを正しく測定する。例えば、図3に示す相関器301は、図4に示す相関回路を256個有しており、これらは16.384MHzクロックで遅延を受けながら16kHzに1回4サンプルを出力する。これらの出力は逐次選択されながら、後述する自乗検波フィルタで不要スペクトルを抑圧した振幅値となる。

【0047】例えば、平均化回路は、16.384MHz動作で1シンボル時間長（1024段）のシフトレジスタからなり、16kHz間隔での同期加算による平均化を行なう。なお、この場合、平均化の際は自乗検波フィルタによる4サンプル遅延を考慮する必要がある。また、遅延プロファイルの一部分のみを平均化するためには、シフトレジスタ長を可変にしながら、適当なバーストクロックで動作させることが好ましい。

【0048】次に、図2に示す電圧出力自乗検波フィルタ208、209について説明する。図2に示す電圧出力自乗検波フィルタ208、209は、図5に示す構成を有する。図5に示す電圧出力自乗検波フィルタは、相関器からの出力を自乗検波する自乗検波回路501と、CORDIC回路への入力タイミングをずらす遅延器502と、自乗検波回路501からの出力にCORDIC演算を行なう複数段のCORDIC回路503とから構成されている。

【0049】自乗検波に基づく同期回路では、出力が包絡線振幅の2乗値になるため、この出力をそのまま平均化回路に入力する場合において、振幅の平均時と同じダイナミックレンジを保つためには、所要メモリ語長が2倍になってしまう。これは、電圧値が1ビット6dBであり、電圧値の2乗である電力値が1ビット3dBであることに起因する。

【0050】このため、同期回路の出力を平均化回路に入力する前に平方根演算を行ない、電圧値に戻す必要がある。しかしながら、演算誤差を抑えながら処理を行なう場合、2乗演算で語長が2倍となる。そして、最後の平方根回路で元の語長に戻すことになる。したがって、2乗演算の後のLPF演算を長い語長状態で行なわな

ければならない。このような処理を行なうと、演算回路が増大する。

【0051】図5に示す電圧出力自乗検波フィルタでは、CORDIC回路を利用して、自乗検波の不要スペクトル抑圧を行なう8次楕形フィルタリング及び平方根演算を同時に行なう構成としている。すなわち、CORDIC回路503は、自乗回路305、LPF306、及び平方根演算回路307における処理を行なうので、8次楕形フィルタリング及び平方根演算を同時に行なうことができる。この回路は、CORDICアルゴリズムを利用して入力から出力まで電圧値で演算を実行するので、上記のような著しい演算語長の増加を伴わずに高精度の結果が得られる。

【0052】次に、図2に示すパス検出フィルタ217について説明する。図2に示すパス検出フィルタ217は、「チップレート4倍のオーバーサンプリング時に、前後4サンプルを含めて観測される極大値」という規則に基づいて遅延プロファイルからパスを抽出する。

【0053】この判定は、DSPソフト処理で行なっているが、全遅延プロファイルデータの転送と多くの演算量が必要となり、低消費電力化に向けて不利な要因となる。そこで、本実施の形態においては、図6に示す構成のパス検出フィルタを用いる。このパス検出フィルタは、上記規則を満たして極大値を検出する。

【0054】図6に示すパス検出フィルタは、シフトレジスタからの出力の入力タイミングをずらす遅延器601と、前に入力されたシフトレジスタからの出力と現出力との間で大きいものを選択して最大値を得るMAXセレクト603と、最大値と有効しきい値との間で比較を行なうCOMPセレクト602とを有する。また、図6中604はパスが検出されたパス時刻を計るタイマーであるカウンタである。

【0055】このパス検出フィルタは、前4サンプル及び後4サンプルの最大値と、現サンプル値とを比較し、現サンプル値が最大（かつある倍以上）の時に現サンプル値を順次出力できる。

【0056】このパス検出フィルタにおいては、処理の動作開始時にカウンタ604の動作を開始させ、サンプル出力する時のカウンタ値を同時に出力することにより、遅延プロファイルの全データでなく、その極大値と時刻のみをDSPへ送る。このため、DSPに送るデータ量は著しく少なくなる。そして、DSPソフト処理としては、抽出されたパス（極大値）の中から最大のものを選ぶ、あるいは大きいものから順に並び替えるなどのランダムアクセスの必要な処理のみ行なえば良い。このように、メモリに対してランダムアクセスが必須な処理のみソフトで行ない、シーケンシャルアクセス（シフトレジスタなど）で実行できる処理は極力ハードで実現することにより、低消費電力化を図ることができる。

【0057】次に、図2に示すDLL制御部215につ

いて説明する。セルサーチで検出したパスは、フェージングや送受信クロック周波数のズレなどによりそのタイミングは微妙に変化する。DLL (Delay Lock Loop) は、拡散コードの自己相関関数が図8に示すように対称形であることに着目し、正規のタイミングの前後の相関値が等しくなるように拡散コード発生タイミングを調整するものである。本実施の形態においては、図7に示すように、相関器群207とDLL回路で共用化を図っている。図7は、図2に示す同期捕捉装置において、相関器群207、シフトレジスタ214、及びDLL制御部215との関係を示す図である。

【0058】DLLの時定数は、DLL制御部215の平均化部での平均時間によって調整できる。なお、DLL制御部215 1個に対して相関器4回路を割り当てているのは、自乗検波フィルタを用いていることを意識して、図8に示すDLL制御に用いる2点を含む三角形部分の相関値を正しく計算するためである。

【0059】各DLL制御部215は、1シンボル時間中の適当な16チップ時間に相関値を出力する。DLL制御部215の平均化部は、非出力時間に事前にシフトレジスタのデータを並べ替えておき、出力とシフトレジスタを再スタートさせながら自乗検波フィルタ出力を同期加算していく。

【0060】上記のようにDLL制御部215は、16kHzサンプリングで動作するものと見なせるので、8kHzまでの変動に対して制御可能である。遅延プロファイルのごく一部である各パスは、一種の狭帯域信号と見なすことができ、その変動速度はレイリーフェージングの最大ドップラー周波数の数百Hz程度であるから、これは十分な値である。

【0061】一方、このDLL制御部215は、図8から分かるように、 $\pm 1/2$ チップずれても丸印の相関値が三角形の中にあるので、正しく制御量(タイミング調整の方向)を判定することができる。このことは、逆にDLL処理を開始する際、そのコード発生器の発生時刻の初期値を $\pm 1/2$ チップ以内の精度で設定できなければならないことになる。これは、第1検出工程における第1段階の処理に求められるパス検出精度である。

【0062】さらに、このDLL構成では、相関器との回路の共用化を図っているため、DLL回路を一度停止して他の処理を実行させると、その時点までのDLL回路の相関器の内容はクリアされる。このため、再びDLLを行うためには第1検出工程における第1段階の処理による再引込みが基本的に必要になる。そのような時にDLL回路を停止できる時間は、送受信のクロック周波数ズレと移動によるドップラーシフトがパスのタイミングを $1/2$ チップずらすのに要する時間であり、時速130km走行時で約1秒と考えられる。

【0063】上記構成を有する同期捕捉装置において、実際にセルサーチやパスサーチを行なう場合について説

明する。なお、周辺セルサーチ及びパスサーチにおいては、作成しなければならない遅延プロファイルの種類(最大値は5基地局 \times 2アンテナ=10種類)及び補足しているパスの数(最大値は5基地局 \times 6=30パス)の組合せが多いので、ここでは全てを検討せず各々が最大の場合についてのみ述べる。

【0064】(1)セルサーチの第1検出工程における第1段階の処理

従来方式での第1段階の処理では、スロットタイミングを検出するために、1スロット、すなわち10シンボル長のメモリ(=10Mword、実際はサンプリング周波数を半減して5Mword)を用いて同期加算を行なう。この加算結果に基づいてスロットタイミングを検出して、このスロットタイミングでのロングコードマスクシンボル部分の遅延プロファイルを作成していた。

【0065】本実施の形態に係る処理手順では、所要メモリを低減するために、まずDLL平均化部を動作させずに、図2における相関器群202とパス検出フィルタ217及び1スロット周期カウンタ218のみを動作させる。

【0066】図9及び図10に示すように、パス検出フィルタ217からは相関器出力の極大値とその時刻が出力されるので、DSPでロングコードマスクシンボル時間検出する(この検出に必要な観測時間は、1、2スロット程度と考られる)。次に、検出したロングコードマスクシンボル時間においてのみ、相関器群202、207、シフトレジスタ213、214を動作させて相関処理を行ない、その相関結果を所定の回数平均化することにより、遅延プロファイルを作成する。その平均化処理の最後の1シンボルでパス検出フィルタ217も動作させ、パス検出を行なう。なお、この処理は、2本の受信アンテナについて順次行なう。このように、検出したロングコードマスクシンボル時間においてのみ相関処理を行なってそれ以外の時間で処理を停止させているので、低消費電力化を図ることができる。

【0067】(2)セルサーチの第1検出工程における第2段階、第3段階の処理

第2段階以降の処理は、第1段階において共通サーチコードで作成した遅延プロファイルの内、セクタの異なるパスのみを区別して、各々のロングコードとフレームタイミングを同定し、さらにその最大パスの受信電力を測定する。ここで、受信電力とはSIRを言ひ、スロット内の既知参照シンボル(例えばパイロットシンボル)の情報を用いて測定する必要がある。この測定に16スロット=1フレーム程度を要する。従来の処理では、第1段階で検出したパスの大きいものから順に遅延プロファイルを作成して同一セクタ内のパスを除いていたが、この方法では、遅延プロファイルの作成回数が増えて処理時間及び消費電力が増大する問題がある。

【0068】本実施の形態に係る装置では、相関処理部

を並列処理が可能な相関器で構成しているので、コード開始時刻が既知の場合には、複数コードの並列処理が可能な特長を活かし、図11に示すように処理を行なう。基本的には、第1段階で検出した遅延プロファイルが比較的安定していることを期待して、その情報を繰り返し利用する。これにより、従来構成の第3段階の処理でマッチドフィルタによる反復処理で作成していた遅延プロファイル作成が不要となり、9kバイトの蓄積メモリを不要にすることができる。

【0069】最初に、第1段階の遅延プロファイルで最大振幅であるパスa0（図10）のスロットタイミングにて、第2段階の処理を相関器群207の一部とシフトレジスタ214で4コード同時処理を行ない、ロングコードグループを特定する。ここでは、ロングコードマスキンスymbolを1回だけ受信して第2段階の処理を終了としている。

【0070】次に、そのロングコードグループに属する32コードをパスa0のスロットタイミングによる第3段階の処理を相関器群207の一部とシフトレジスタ214で実行する。第3段階では、1スロット周期を対象ロングコードを繰り返し発生させながら、最低1フレーム受信して最大相関値を得るスロットタイミングをフレームタイミングとして検出する。ここでは、第3段階に1フレーム時間を要するものとする。

【0071】次に、第2番目に大きいパスa1に着目することになるが、これはパスa0の遅延波である可能性がある。そこで、パスa1のスロットタイミングでパスa0のコードを発生して相関値を計算し、その相関値が大きければ遅延波と判定し、その相関値が小さければパスa0とは別セクタの制御チャネルと判定する。なお、パスが遅延波であれば1スロット以上の時間差はない、すなわち1スロット以上の遅延があれば同一セルの別セクタであるので、このパス判定処理は、第3段階のように1フレームも判定時間を要さない。また、このパス判定処理は、相関器が1回路あれば実行できる。そこで、このときパスa1についての第2段階の処理も同時に実行できる。

【0072】図11の例では、パスa1はパスa0の遅延波なので処理を中止し、次に大きいパスb0についてパスの判定及び第2段階の処理を行なっている。パスb0は独立したパスなので、このまま第3段階の処理に進んでおり、このときのパスa0のフレームタイミングを用いて、パスb0の受信レベルを平行して測定する。第3段階では、先頭の第1スロット分のロングコードを繰り返し発生するので、全スロットのパイロットシンボルを正しく受信できない。このため、受信レベルの測定は、必ず第3段階の処理以降にフレーム周期のロングコードを発生させて行わなければならないこと、測定時間として1フレーム（16スロット）程度は必要と思われることから、次パスの第3段階の処理と同時に進行する

が好ましい。

【0073】ところで、第1段階の処理では、受信アンテナ毎に順次処理を繰り返したが、第2、3段階の処理では大きいパスに注目しながら順次処理している。すなわち、第1段階の処理でアンテナ数分の遅延プロファイルを作成し、この遅延プロファイルを用いて大きなパス順にレベル測定処理していけばよい。このような処理は、並列処理が可能である相関器の入力をどちらにするか選択するだけで実行することができる。したがって、レベル測定処理をパス毎に容易に行なうことができる。

【0074】（3）セルサーチの第3検出工程及びパスサーチ

例えば、3ダイバーシチハンドオーバー時に同時にセルサーチ処理を行なう場合、最大で30パスを用いてRAKE合成を行なっているため、これらの細かなタイミング変動はDLL回路でトラッキングし、同時に他の相関器を用いて所望波のパスの候補となるパスの遅延プロファイルの測定を行なう。これは、相関処理部を複数の相関器で構成したからであり、これによりセルサーチにおける処理時間を短縮させることができる。なお、DLL回路と遅延プロファイル用相関器は独立のタイミングで動作するので、自乗検波フィルタも別々に用意する。

【0075】例えば、図2を用いて説明すると、DLLでは、相関器群207からの出力が電圧出力自乗検波フィルタ209及び加算器211を介してシフトレジスタ214に入力される。シフトレジスタ214からの出力は加算器211に帰還して入力される。

【0076】一方、遅延プロファイル作成については、相関器群202からの出力が電圧出力自乗検波フィルタ208及び加算器210を介してシフトレジスタ213に入力される。シフトレジスタ213からの出力はセレクタ212を介してシフトレジスタ214を経てセレクタ216を介してシフトレジスタ214に帰還する。そして、このシフトレジスタ213からの出力が加算器210に入力される。

【0077】また、遅延プロファイル用相関器は、5種類×2アンテナ=10種類の遅延プロファイルを作成するので、10分割してコード発生器5個で並列に動作させる。このときに分割された各部分は、各々の遅延プロファイルの一部分のみを測定するが、コード発生タイミングを制御することによって任意の部分の測定できる。

【0078】ただし、これらの遅延プロファイル用相関器の出力は、16.384MHzで連続して1つの自乗検波フィルタに入力され、一斉にパス検出を行なえるようにする必要がある。このようなタイミングの制限は、測定する遅延プロファイルが多いほど厳しい制約になる。また、自乗検波フィルタの4サンプル遅延を考慮すると、各分割部分の境界には4サンプル分の0を挿入してフィルタリングで互いに重ならないようにする必要がある。

【0079】上述においては、各遅延プロファイルをほぼ同時に少しずつ測定する場合について説明しているが、遅延プロファイルを順次1つずつ測定する場合も実施することが可能である。この場合の方が制御ははるかに簡単になり、回路の使用効率も向上する。

【0080】このように、本実施の形態に係る同期捕捉装置は、相関処理部を相関器で構成して、相関器を共用して用いているので、セルサーチやパスサーチにおける種々の処理を並列して実行することができる。このため、処理時間を短くし、回路規模を小さくして消費電力を低くすることができる。

【0081】本実施の形態に係る同期捕捉装置は、デジタル無線通信システムにおける移動局のような通信端末装置に適用することができる。

【0082】なお、上記実施の形態は、本発明の一例にすぎず、本発明の範囲を逸脱しない限り種々変更することができる。

【0083】

【発明の効果】以上説明したように本発明の同期捕捉装置は、受信信号から抽出したベースバンド信号に対して並列処理可能な複数の相関器を用いてマッチトフィルタ演算を行ない、マッチトフィルタ演算の相関結果から同期情報を検出するので、処理時間を短くし、回路規模を小さくして消費電力を低くすることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る同期捕捉装置を備えた無線通信システムの構成を示すブロック図

【図2】上記実施の形態に係る同期捕捉装置の構成を示すブロック図

【図3】図2に示す同期捕捉装置の詳細を示すブロック図

【図4】上記実施の形態に係る同期捕捉装置における相関器の内部構成を示すブロック図

【図5】上記実施の形態に係る同期捕捉装置における電圧出力自乗検波フィルタの内部構成を示すブロック図

【図6】上記実施の形態に係る同期捕捉装置におけるパス検出フィルタの内部構成を示すブロック図

【図7】上記実施の形態に係る同期捕捉装置におけるDLL回路と相関器の構成を示すブロック図

【図8】DLL制御を説明するための図

【図9】セルサーチの第1検出工程における第1段階の処理を説明するためのタイミング図

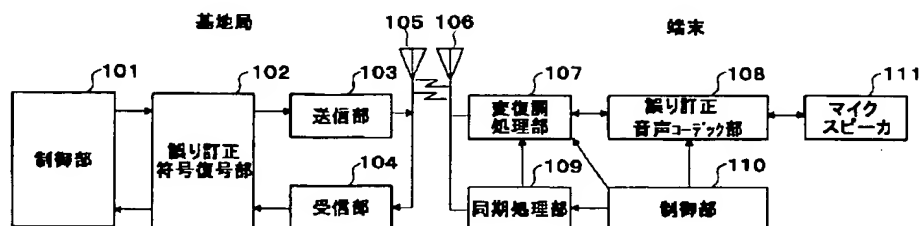
【図10】セルサーチ及びパスサーチにおける遅延プロファイルを示す図

【図11】セルサーチの第1検出工程における第2段階及び第3段階の処理を説明するためのタイミング図

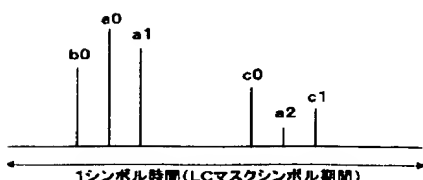
【符号の説明】

- 201 4次楕円フィルタ
- 202, 207 相関器群
- 203, 204, 206 コード発生器
- 208, 209 電圧出力自乗検波フィルタ
- 210, 211 加算器
- 212, 216 セレクタ
- 213, 214 シフトレジスタ
- 215 DLL制御部
- 217 パス検出フィルタ
- 218 カウンタ

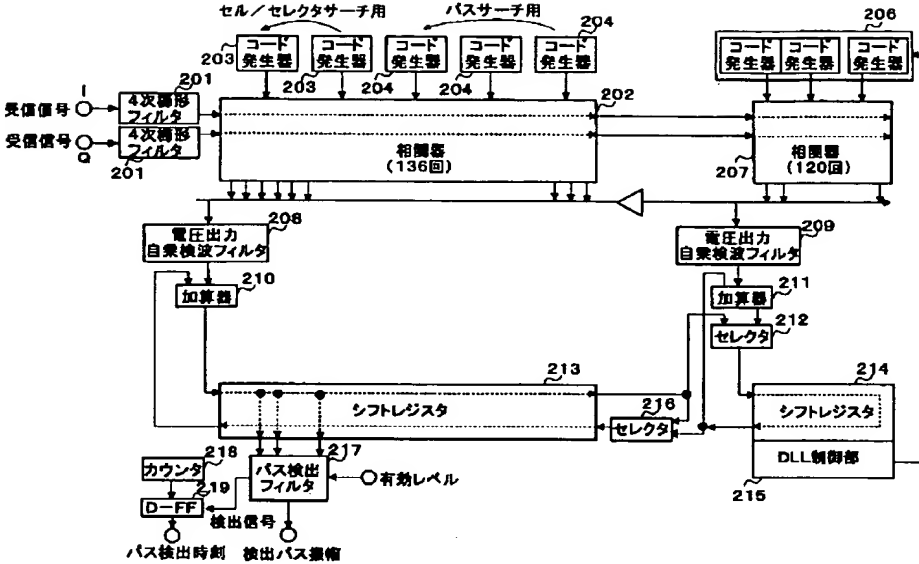
【図1】



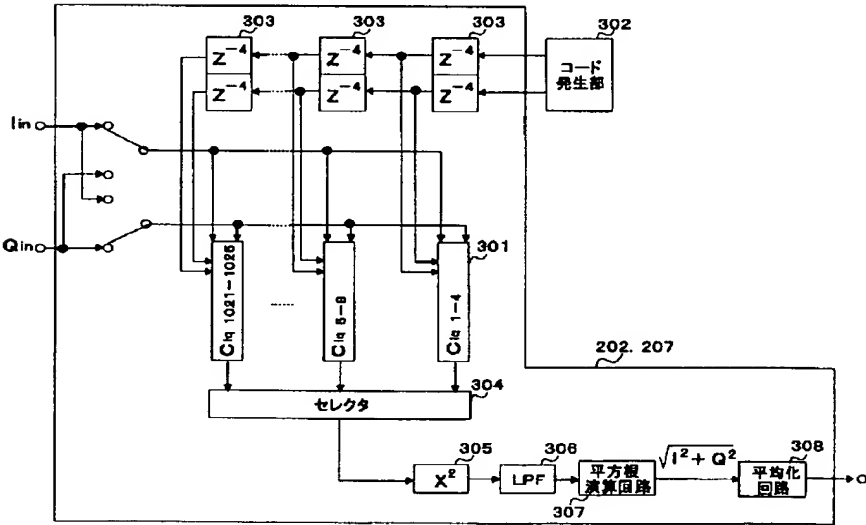
【図10】



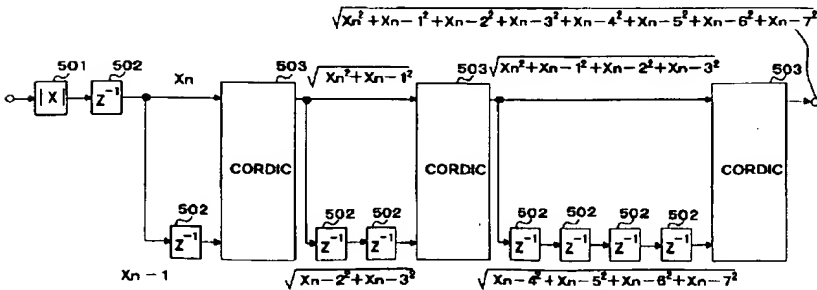
【图 2】



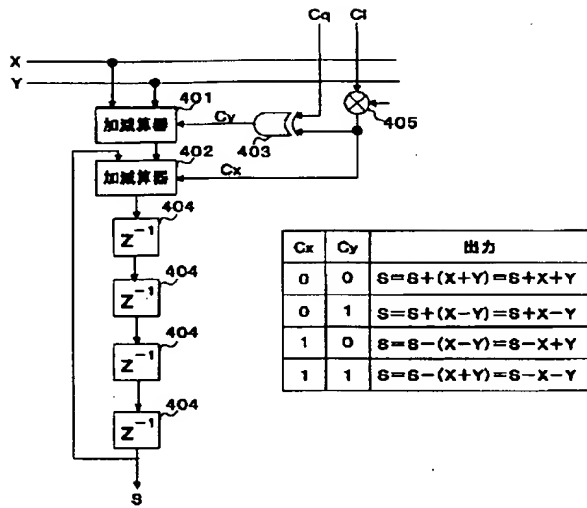
【圖 3】



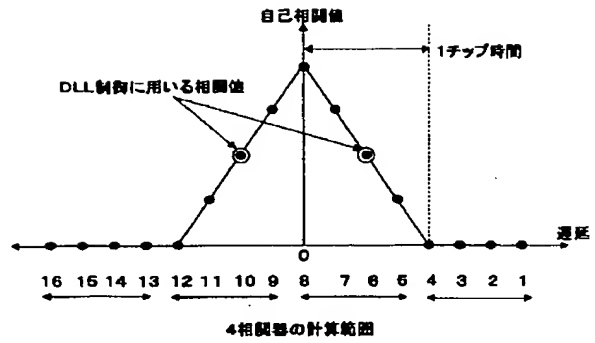
【圖 5】



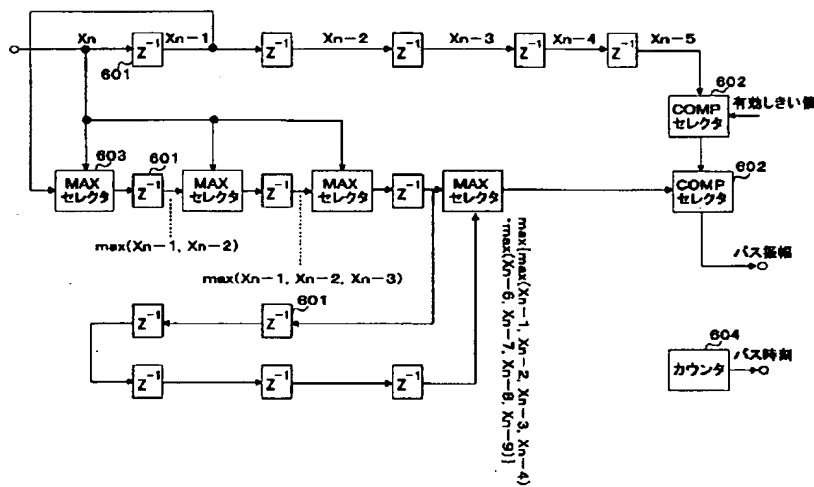
【図4】



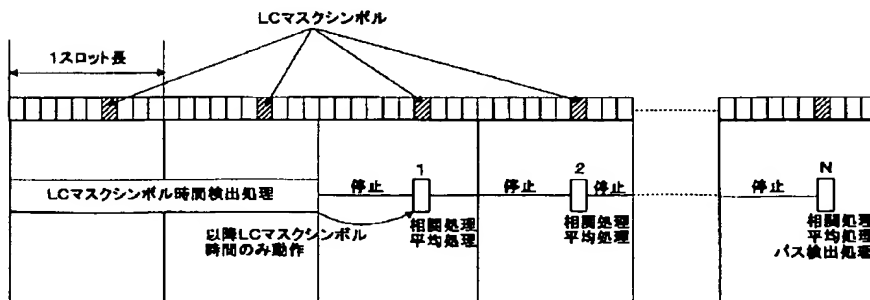
【図8】



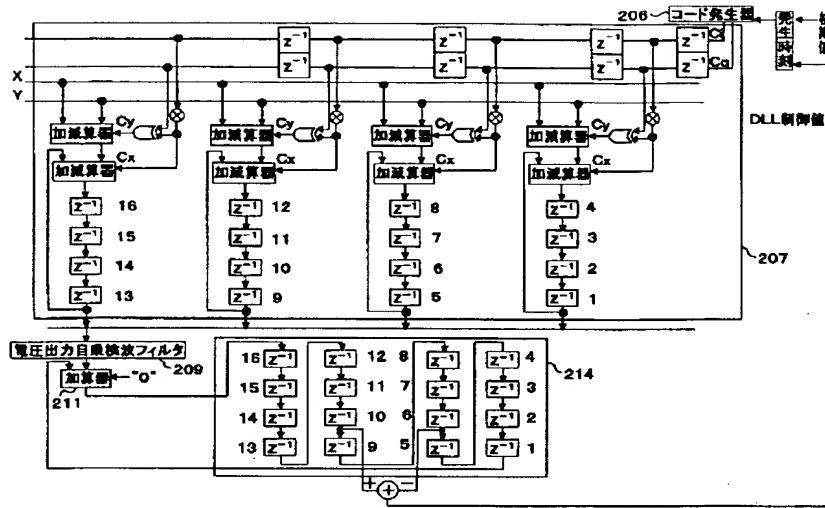
【図6】



【図9】



【図7】



【図11】

